

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-111526

(43)Date of publication of application : 12.04.2002

(51)Int.Cl.

H04B 1/26

H04B 1/10

(21)Application number : 2000-293032

(71)Applicant : MATSUSHITA ELECTRIC WORKS LTD

(22)Date of filing : 26.09.2000

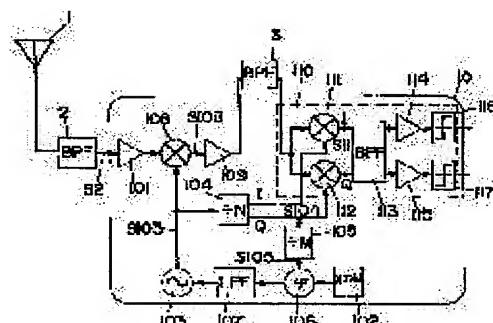
(72)Inventor : YAMAMOTO YASUKO  
SUGINO SATOSHI  
TSUJIMOTO TOYOHICO

## (54) HIGH-FREQUENCY IC CIRCUIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the size, weight, and cost of a high-frequency IC circuit and to facilitate mounting of the circuit by reducing the number of parts, and at the same time, to suppress the mixture and radiation of unwanted signals.

**SOLUTION:** This high-frequency IC circuit is constituted of a GPS antenna 1, band-pass filters 2 and 3, and a high-frequency IC 10. The IC 10 not only incorporates a PLL, which generates first and second local oscillation frequency signals S103 and S104, but also a low-noise amplifier 101, a frequency-converting section 108 which outputs the output of the amplifier 101 by down-converting the output into a first intermediate frequency signal S108 by inputting the signal S103, a buffer amplifier 109, a complex filter section 110 composed of second-stage frequency converting sections 111 and 112, a bandpass filter 113, etc. The frequency-converting sections 111 and 112 form a quadrature down-conversion mixer, and the band-pass filter 113 is constituted of a complex filter.



- 1 GPSアンテナ
- 2 バンドパスフィルタ
- 3 バンドパスフィルタ
- 10 高周波IC
- 101 低雑音増幅器
- 102 周波数変換部
- 103 電圧制御発振器
- 104 分周器
- 105 分周器
- 106 位相比較器
- 107 周波数変換部
- 108 周波数変換部
- 109 バッファアンプ
- 110 複素フィルタ部
- 111 1 2 周波数変換部
- 112 周波数変換部
- 113 複素フィルタ部
- 114 115 A/D変換器

## LEGAL STATUS

[Date of request for examination]

04.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3788222

[Date of registration]

07.04.2006

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-111526  
(P2002-111526A)

(43) 公開日 平成14年4月12日 (2002. 4. 12)

(51) Int.Cl.<sup>7</sup>

H 0 4 B 1/26  
1/10

識別記号

F I

H 0 4 B 1/26  
1/10

テーマコード(参考)

K 5 K 0 2 0  
N 5 K 0 5 2

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号 特願2000-293032(P2000-293032)

(22) 出願日 平成12年9月26日 (2000. 9. 26)

(71) 出願人 000005832

松下電工株式会社  
大阪府門真市大字門真1048番地

(72) 発明者 山本 泰子

大阪府門真市大字門真1048番地松下電工株式  
会社社内

(72) 発明者 杉野 聡

大阪府門真市大字門真1048番地松下電工株式  
会社社内

(74) 代理人 100087767

弁理士 西川 恵清 (外1名)

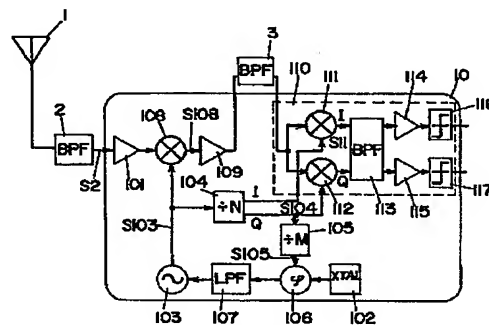
最終頁に続く

(54) 【発明の名称】 高周波 I C 回路

(57) 【要約】

【課題】 部品点数を削減して、小型・軽量化、低コスト化、実装の容易化を図るとともに、不要な信号の混入・輻射を抑える。

【解決手段】 GPSアンテナ1と、バンドパスフィルタ2、3と、高周波 I C 10とで高周波 I C 回路を構成する。高周波 I C 10は、第1局部発振周波数信号 S 1 0 3、第2局部発振周波数信号 S 1 0 4 を生成する P L L を内蔵しているほか、ローノイズアンプ 1 0 1 と、S 1 0 3 を入力してローノイズアンプ 1 0 1 の出力を第1中間周波数信号 S 1 0 8 にダウンコンバートして出力する周波数変換部 1 0 8 と、バッファアンプ 1 0 9 と、2段目の周波数変換部 1 1 1、1 1 2 およびバンドパスフィルタ 1 1 3 などにより成る複素フィルタ部 1 1 0 とを内蔵している。周波数変換部 1 1 1、1 1 2 はクアドラチャダウンコンバージョンミキサを形成し、バンドパスフィルタ 1 1 3 は複素フィルタで構成される。



- 1 GPSアンテナ
- 2 バンドパスフィルタ
- 3 バンドパスフィルタ
- 10 高周波 I C
- 101 ローノイズアンプ
- 102 水晶発振器
- 103 電圧制御発振器
- 104 分周器
- 105 分周器
- 106 位相比較器
- 107 ローパスフィルタ
- 108 周波数変換部
- 109 バッファアンプ
- 110 複素フィルタ部
- 111、112 周波数変換部
- 113 バンドパスフィルタ
- 114、115 バッファアンプ
- 116、117 A/D変換部

## 【特許請求の範囲】

【請求項1】 1段目の周波数変換部と2段目の周波数変換部とを有する高周波受信用のICの回路であって、2段目の周波数変換部はクアドラチャダウンコンバージョンミキサを形成し、2段目の周波数変換部の後段に設けられる複素フィルタによりなるバンドパスフィルタをICに内蔵し、1段目の周波数変換部と2段目の周波数変換部との間に介設されるバンドパスフィルタをICの外部に設けて成る高周波IC回路。

【請求項2】 1段目の周波数変換部と2段目の周波数変換部とを有する高周波受信用のICの回路であって、2段目の周波数変換部はクアドラチャダウンコンバージョンミキサを形成し、2段目の周波数変換部の後段に設けられる複素フィルタによりなるバンドパスフィルタをICに内蔵し、1段目の周波数変換部と2段目の周波数変換部との間に介設されるバンドパスフィルタをICに内蔵して成る高周波IC回路。

【請求項3】 1段目の周波数変換部と2段目の周波数変換部とを有する高周波受信用のICの回路であって、1段目の周波数変換部はイメージリジエクションミキサを形成し、2段目の周波数変換部はクアドラチャダウンコンバージョンミキサを形成する高周波IC回路。

【請求項4】 1段目の周波数変換部と2段目の周波数変換部との間に設けられるローパスフィルタをICに内蔵し、2段目の周波数変換部の後段に設けられる複素フィルタによりなるバンドパスフィルタをICに内蔵する請求項3記載の高周波IC回路。

【請求項5】 1段目の周波数変換部と2段目の周波数変換部との間に介設されるバンドパスフィルタをICの外部または内部に設け、2段目の周波数変換部の後段に設けられる複素フィルタによりなるバンドパスフィルタをICに内蔵する請求項3記載の高周波IC回路。

【請求項6】 1段目の周波数変換部の前段に設けられる複素フィルタをICに内蔵する請求項3記載の高周波IC回路。

【請求項7】 1段目の周波数変換部と2段目の周波数変換部とを有する高周波受信用のICの回路であって、1段目の周波数変換部はイメージリジエクションミキサを形成し、1段目の周波数変換部の前段に設けられる複素フィルタをICに内蔵し、1段目の周波数変換部から同相成分のI信号または直交成分のQ信号のみを出力し、2段目の周波数変換部はシングルミキサの構成にする高周波IC回路。

【請求項8】 2段目の周波数変換部の後段に設けられるフィルタは、2つのリアルバンドパスフィルタよりなる請求項1から3のいずれかに記載の高周波IC回路。

【請求項9】 2段目の周波数変換部の後段に設けられるフィルタは、2つのリアルローパスフィルタよりなる請求項1から3のいずれかに記載の高周波IC回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、特に、数百MHzから数GHzの高周波信号をベースバンド信号と呼ばれる数MHz程度の低周波信号に変換する高周波フロントエンドICに好適な高周波IC回路に関するものである。

## 【0002】

【従来の技術】従来、2段の周波数変換により高周波信号をベースバンド信号にダウンコンバートする高周波ICでは、急峻な選択特性を有する高次のバンドパスフィルタが外付けされていた。また、2段目の周波数変換部の後段に設けられるバンドパスフィルタまたはローパスフィルタも外付けされる場合が多い。

【0003】なお、特開平5-90992号公報には、フィルタを用いた場合に生ずる雑音を抑制し、非線型歪を低減して送・受信特性を改善した無線通信機が開示されている。

## 【0004】

【発明が解決しようとする課題】従来の高周波フロントエンドICにおいては、各周波数変換部の前後に設けられるフィルタが外付けされるから、機器組込み時に部品点数が多くなり、機器全体の小型・軽量化、低コスト化の妨げとなっていた。また、高周波ICと外付けのフィルタとの間の信号授受で、外部の不要な信号を拾ったり、逆に不要な信号を輻射したりする問題があった。

【0005】1段目の周波数変換部と2段目の周波数変換部との間には、急峻な選択特性を有する高次のバンドパスフィルタを設ける必要があり、従来の回路方式では、ICに内蔵することは困難で、かつ該当フィルタの部品コストも高かった。

【0006】本発明は、上記事情に鑑みてなされたものであり、部品点数を削減して、小型・軽量化、低コスト化、実装の容易化を図るとともに、不要な信号の混入・輻射を抑えることができる高周波IC回路を提供することを目的とする。

## 【0007】

【課題を解決するための手段】上記課題を解決するための請求項1記載の発明は、1段目の周波数変換部と2段目の周波数変換部とを有する高周波受信用のICの回路であって、2段目の周波数変換部はクアドラチャダウンコンバージョンミキサを形成し、2段目の周波数変換部の後段に設けられる複素フィルタによりなるバンドパスフィルタをICに内蔵し、1段目の周波数変換部と2段目の周波数変換部との間に介設されるバンドパスフィルタをICの外部に設けて成る。

【0008】請求項2記載の発明は、1段目の周波数変換部と2段目の周波数変換部とを有する高周波受信用のICの回路であって、2段目の周波数変換部はクアドラチャダウンコンバージョンミキサを形成し、2段目の周波数変換部の後段に設けられる複素フィルタによりなる

バンドパスフィルタを IC に内蔵し、1 段目の周波数変換部と 2 段目の周波数変換部との間に介設されるバンドパスフィルタを IC に内蔵して成る。

【0009】請求項 3 記載の発明は、1 段目の周波数変換部と 2 段目の周波数変換部とを有する高周波受信用の IC の回路であって、1 段目の周波数変換部はイメージリジエクションミキサを形成し、2 段目の周波数変換部はクアドラチャダウンコンバージョンミキサを形成する。

【0010】請求項 4 記載の発明は、請求項 3 記載の高周波 IC 回路において、1 段目の周波数変換部と 2 段目の周波数変換部との間に設けられるローパスフィルタを IC に内蔵し、2 段目の周波数変換部の後段に設けられる複素フィルタによりなるバンドパスフィルタを IC に内蔵する。

【0011】請求項 5 記載の発明は、請求項 3 記載の高周波 IC 回路において、1 段目の周波数変換部と 2 段目の周波数変換部との間に介設されるバンドパスフィルタを IC の外部または内部に設け、2 段目の周波数変換部の後段に設けられる複素フィルタによりなるバンドパスフィルタを IC に内蔵する。

【0012】請求項 6 記載の発明は、請求項 3 記載の高周波 IC 回路において、1 段目の周波数変換部の前段に設けられるコンプレックスフィルタを IC に内蔵する。

【0013】請求項 7 記載の発明は、1 段目の周波数変換部と 2 段目の周波数変換部とを有する高周波受信用の IC の回路であって、1 段目の周波数変換部はイメージリジエクションミキサを形成し、1 段目の周波数変換部の前段に設けられる複素フィルタを IC に内蔵し、1 段目の周波数変換部から同相成分の I 信号または直交成分の Q 信号のみを出力し、2 段目の周波数変換部はシングルミキサの構成にする。

【0014】請求項 8 記載の発明は、請求項 1 から 3 のいずれかに記載の高周波 IC 回路において、2 段目の周波数変換部の後段に設けられるフィルタは、2 つのリアルバンドパスフィルタよりなる。

【0015】請求項 9 記載の発明は、請求項 1 から 3 のいずれかに記載の高周波 IC 回路において、2 段目の周波数変換部の後段に設けられるフィルタは、2 つのリアルローパスフィルタよりなる。

【0016】

【発明の実施の形態】図 1 は本発明に係る第 1 実施形態の高周波 IC 回路の構成図、図 2 は図 1 の高周波 IC 内に設けられる複素フィルタの周波数特性図、図 3 は図 1 における 2 段目の周波数変換部および複素フィルタの入出力信号の説明図であり、これらの図を用いて以下に第 1 実施形態を説明する。

【0017】図 1 に示す高周波 IC 回路は、GPS アンテナ 1 と、バンドパスフィルタ (BPF) 2 と、このバンドパスフィルタ 2 を介して GPS アンテナ 1 と接続される GPS 信号用の高周波 IC 10 と、この高周波 IC

10 に外付けされるバンドパスフィルタ 3 とを備えている。

【0018】高周波 IC 10 は、バンドパスフィルタ 2 からの信号 (GPS 信号) S2 を増幅するローノイズアンプ 101 と、水晶発振器 102 と、周波数が  $f_{\text{LO1}}$  の第 1 局部発振周波数信号 S103 を生成する電圧制御発振器 (VCO) 103 と、第 1 局部発振周波数信号 S103 を  $1/N$  の周波数に分周して周波数が  $f_{\text{LO2}}$  の第 2 局部発振周波数信号 S104 を得る分周器 104 と、第 2 局部発振周波数信号 S104 を  $1/M$  の周波数に分周して信号 S105 を得る分周器 105 と、この分周器 105 からの信号 S105 と水晶発振器 102 の発振出力とを比較し、信号 S105 の周波数が水晶発振器 102 の発振出力の周波数に一致するように、電圧制御発振器 103 の出力制御を行う位相比較器 106 と、この位相比較器 106 と電圧制御発振器 103 との間に介設されるローパスフィルタ 107 と、第 1 局部発振周波数信号 S103 を入力して、ローノイズアンプ 101 で増幅された信号 S2 を周波数が  $f_{\text{IF1}}$  の第 1 中間周波数 (IF) 信号 S108 にダウンコンバートして出力する 1 段目の周波数変換部 108 と、この周波数変換部 108 とバンドパスフィルタ 3 の入力との間に介設されるバッファアンプ 109 と、バンドパスフィルタ 3 の出力と分周器 104 の出力とに接続される複素フィルタ部 110 とを内蔵している。

【0019】複素フィルタ部 110 は、分周器 104 からの信号を入力して、バンドパスフィルタ 3 からの信号を周波数が  $f_{\text{IF2}}$  の第 2 中間周波数信号 S11 にダウンコンバートして出力する 2 段目の周波数変換部 111、112 と、これら周波数変換部 111、112 の出力に接続されるバンドパスフィルタ 113 と、このバンドパスフィルタ 113 を介して周波数変換部 111、112 の出力にそれぞれ接続されるバッファアンプ 114、115 と、これらバッファアンプ 114、115 の出力にそれぞれ接続される A/D 変換部 116、117 とにより構成されている。

【0020】上記構成の高周波 IC 回路についてさらに説明すると、GPS アンテナ 1 で受信された GPS 信号は、外付けのバンドパスフィルタ 2 を介して高周波 IC 10 に入力される。入力された信号 S2 は、ローノイズアンプ 101 で増幅されて、周波数変換部 108 に入力される。また、この周波数変換部 108 には、電圧制御発振器 103 からの第 1 局部発振周波数信号 S103 が入力される。そして、周波数変換部 108 において、信号 S2 が第 1 中間周波数信号 S108 にダウンコンバートされる。

【0021】第 1 中間周波数信号 S108 は、バッファアンプ 15 を介して外付けのバンドパスフィルタ 3 に入力され、その出力信号は周波数変換部 111、112 に入力されて、第 2 中間周波数信号 S11 にダウンコンバ

ートされる。ここで、より具体的には、周波数変換部111, 112は、90度位相の異なる第2局部発振周波数信号S104を用いて、同相成分(I信号)と直交成分(Q信号)の第2中間周波数信号を作成し、後段のフィルタでミラー周波数を抑圧できるようになっている。これら第2中間周波数信号は、バンドパスフィルタ113で不要成分が除去され、バッファアンプ114, 115およびA/D変換部116, 117を介して、同相成分(I信号)と直交成分(Q信号)として高周波IC10外に出力される。

【0022】ところで、第1, 第2局部発振周波数信号S103, S104は、フェーズロックドループ(PLL)により作成されている。すなわち、水晶発振器102の発振出力を位相比較器106に入力して、電圧制御発振器103の発振出力を分周器104, 105で $N \times M$ 分周した信号と比較し、その比較出力により電圧制御発振器103の発振周波数を制御するのである。これにより、電圧制御発振器103の第1局部発振周波数信号S103が分周器104で $1/N$ の周波数に分周されて第2局部発振周波数信号S104となり、これが分周器105で $1/M$ の周波数に分周されて、水晶発振器102の周波数と一致することになる。

【0023】次に、第1実施形態の特徴について説明する。第1実施形態では、図1に示すように、1段目の周波数変換部108と2段目の周波数変換部111, 112との間に設けられるバンドパスフィルタ3は、高周波IC10の外部に設けられ、2段目の周波数変換部111, 112はクアドラチャダウンコンバージョンミキサを形成し、2段目の周波数変換部111, 112の後段に設けられるバンドパスフィルタ113は、図2に示すような周波数特性を有する複素フィルタで構成され、高周波IC10に内蔵される。

【0024】2段目の周波数変換部のミラー周波数は、クアドラチャダウンコンバージョンミキサと複素フィルタとにより、理想的には、図3に示すように、十分減衰されるので、第2局部発振周波数信号S104(周波数 $f_{102}$ )の3次高調波により第2中間周波数信号S11(周波数 $f_{102}$ )にダウンコンバートされるような信号を減衰させるだけでよく、高周波IC10外部のバンドパスフィルタ3は、従来のような急峻な選択性能を必要とせず、低コストのバンドパスフィルタを使用できる。ただし、図3(a)は2段目の周波数変換部の入力、(b)はその出力、(c)は複素フィルタの入力、(d)はその出力を示す。

【0025】実際には、クアドラチャダウンコンバージョンミキサおよび複素フィルタを高周波IC10に内蔵する場合、I信号を扱う回路とQ信号を扱う回路のミスマッチにより、信号の振幅および位相にずれが生じ、第2中間周波数信号S11(周波数 $f_{102}$ )付近に不要な信号が発生する。外付けのバンドパスフィルタ3はIC

上に構成するバンドパスフィルタより高い選択性能をもつので、第2中間周波数信号S11付近にダウンコンバートされる不要な信号をより減衰させることができ、2段目の周波数変換部以降の回路スเปックが緩和され、IC化しやすくなる。

【0026】図4は本発明に係る第2実施形態の高周波IC回路の構成図であり、この図を用いて以下に第2実施形態を説明する。

【0027】図4に示す高周波IC回路は、第1実施形態との相違点として、図1に示したバンドパスフィルタ3に代えて複素フィルタ部230を内蔵している以外は図1の高周波IC10と同様に構成されている高周波IC20を備えている。

【0028】複素フィルタ部230は、バッファアンプ109の出力段に設けられるクワドラチャジェネレータ231と、このクワドラチャジェネレータ231の出力と2段目の周波数変換部111, 112の入力との間に介設されるバンドパスフィルタ232とにより構成されている。

【0029】この構成では、1段目の周波数変換部108でダウンコンバートされた第1中間周波数信号S108はバッファアンプ109を介してクワドラチャジェネレータ231に入力される。そして、このクワドラチャジェネレータ231は、バンドパスフィルタ232を介して2段目の周波数変換部111, 112にI信号, Q信号を出力する。

【0030】図5は本発明に係る第3実施形態の高周波IC回路の構成図、図6は図5の周波数変換ブロックの動作説明図、図7は図5における高周波ICに外付けされたバンドパスフィルタおよび高周波IC内の1段目の周波数変換部に関する入出力信号の説明図であり、これらの図を用いて以下に第3実施形態を説明する。ただし、図7(a)は外付けバンドパスフィルタの入力、(b)はその出力、(c)は1段目の周波数変換部の入力、(d)はその出力を示す。

【0031】図5に示す高周波IC回路は、第1実施形態との相違点として、図1に示したバンドパスフィルタ3に代えてローパスフィルタ330を内蔵し、周波数変換部108に代えて周波数変換ブロック380を内蔵している以外は図1の高周波IC10と同様に構成されている高周波IC30を備えている。

【0032】周波数変換ブロック380は、電圧制御発振器103からの第1局部発振周波数信号S103をI信号とQ信号とに分けるクワドラチャジェネレータ381と、このクワドラチャジェネレータ381からI信号とQ信号とを入力して、ローノイズアンプ101で増幅された信号S2を周波数 $f_{101}$ の信号にダウンコンバートして出力するクアドラチャダウンコンバージョンミキサ382, 383と、これらのいずれかの出力(図では383の出力)の位相を90度ずらすフェイズシフタ3

84と、このフェイズシフタ384を介してクアドラチャダウンコンバージョンミキサ382、383から得られる両信号を足し合わせて第1中間周波数信号S108を得る加算部385とにより構成されている。

【0033】上記構成の高周波IC回路についてさらに説明すると、1段目の周波数変換部はイメージリジエクションミキサで構成される。ローノイズアンプ101で増幅された信号S2は、図6に示すように、クアドラチャダウンコンバージョンミキサ382、383で周波数 $f_{IF1}$ の信号にダウンコンバートされる。このとき、クアドラチャダウンコンバージョンミキサ382、383には、クワドラチャジェネレータ381で分けられたI信号（周波数は $f_{LO1-I}$ ）とQ信号（周波数は $f_{LO1-Q}$ ）とがそれぞれ入力されている。

【0034】クアドラチャダウンコンバージョンミキサ382、383でダウンコンバートされた両信号は、一方がフェイズシフタ384で90度位相がずらされた上で、加算部385で足し合わされて第1中間周波数信号S108としてバッファアンプ109に出力される。これにより、ミラー周波数が除去される。ただし、図6は理想的なイメージリジエクションミキサの動作波形図となっている。

【0035】ここで、図7(a)、(b)に外付けのバンドパスフィルタ2の果たす機能を示す。バンドパスフィルタ2に求められる特性は、1段目の周波数変換部で生じるミラー周波数を抑圧することであり、理想的には、イメージリジエクションミキサでその機能を果たすことができる。このため、外付けのバンドパスフィルタ2に求められる周波数の選択特性は大幅に緩和される。

【0036】クアドラチャダウンコンバージョンミキサ382、383の入力は、ローノイズアンプ101により増幅された信号S2をI信号とQ信号とに分け、第1局部発振周波数信号として電圧制御発振器103から出力された信号をそのまま使用しても効果は変わらない。

【0037】なお、第3実施形態では、高周波IC30は、図1に示したバンドパスフィルタ3に代えてローパスフィルタ330を内蔵する構成になっているが、これに限らず、図8に示す高周波IC30aのように、バンドパスフィルタ3が外付けされる構成でもよく、あるいは図9に示す高周波IC30bのように、ローパスフィルタ330に代えて、図4に示した複素フィルタ部230を内蔵する構成でもよい。

【0038】ここで、1段目の周波数変換部と2段目の周波数変換部との間のフィルタに求められる特性は、2段目の周波数変換部のミラー周波数を抑制することであるので、理想的には、2段目の周波数変換部で用いる第2局部発振周波数信号S104の3次高調波により、第2中間周波数信号S11にダウンコンバートされるような信号を減衰させるだけでよく、図5の構成のように、低次のローパスフィルタを高周波ICに内蔵することで

実現できる。この場合、2段目の周波数変換部111、112のクアドラチャダウンコンバージョンミキサ、バンドパスフィルタ113の複素フィルタは、高精度に整合されている必要がある。

【0039】これに対して、図8、図9の構成のように、1段目の周波数変換部と2段目の周波数変換部との間のフィルタを、外付けのバンドパスフィルタ3または内蔵の複素・バンドパスフィルタで実現すれば、クアドラチャダウンコンバージョンミキサ、複素フィルタのスペックは緩和されるので、IC化をしやすくなる。

【0040】図10は本発明に係る第4実施形態の高周波IC回路の構成図であり、この図を用いて以下に第4実施形態を説明する。

【0041】図10に示す高周波IC回路は、第1実施形態との相違点として、図1における周波数変換部108、バッファアンプ109およびバンドパスフィルタ3に代えて、それぞれ周波数変換ブロック480、バッファアンプ109a、109bおよびバンドパスフィルタ430を内蔵している以外は図1の高周波IC10と同様に構成されている高周波IC40を備えている。

【0042】周波数変換ブロック480は、ローノイズアンプ101からの信号を入力してI信号とQ信号とに分けて出力するクワドラチャジェネレータ481と、この出力に接続されるバンドパスフィルタ482と、電圧制御発振器103からの第1局部発振周波数信号S103をI信号とQ信号とに分けるクワドラチャジェネレータ483と、このクワドラチャジェネレータ483からのI信号とQ信号とを入力して、バンドパスフィルタ482からの信号を周波数 $f_m$ の信号（第1中間周波数信号）にダウンコンバートして4つの信号を得るミキサ484、485、487、488と、これらミキサからの4つの信号をたすきがけに足し合わす加算部486、489とにより構成されている。そして、加算部486、489の出力は、バッファアンプ109a、109bをそれぞれ介し、さらにバンドパスフィルタ430を経由した上で複素フィルタ部110に接続されている。

【0043】つまり、1段目の周波数変換部として、イメージリジエクションミキサ（例えばダブルクワドラチャ方式のもの）が使用され、その前段に、高周波ICに内蔵される複素バンドパスフィルタ部（クワドラチャジェネレータ481、バンドパスフィルタ482）が配置されている。

【0044】この構成では、GPSアンテナ1で受信されたGPS信号は、高周波IC40に入力され、ローノイズアンプ101で増幅される。増幅されたGPS信号は、クワドラチャジェネレータ481でI信号とQ信号とに分けられて、バンドパスフィルタ（複素バンドパスフィルタ）482に入力される。このバンドパスフィルタ482から出力されたI信号とQ信号は、クワドラチャジェネレータ383からのI信号とQ信号とを局部発

振周波数信号として、ミキサ484、485、487、488で周波数 $f_{IF1}$ の信号にダウンコンバートされる。そして、得られた4つの信号が加算部486、489でたすきがけに足し合わされて、ミラー周波数が除去される。

【0045】このように、バンドパスフィルタ482により、周波数が $f_{LO1}$ の第1局部発振周波数信号S103の高調波で周波数が $f_{IF1}$ の第1中間周波数信号にダウンコンバートされるような信号など、 $f_{IF1}$ 付近にダウンコンバートされる不要な信号を抑圧することにより、従来必要であったGPSアンテナ1と高周波IC40との間に配置された外付けのバンドパスフィルタ2が不要になる。

【0046】図11は本発明に係る第5実施形態の高周波IC回路の構成図であり、この図を用いて以下に第5実施形態を説明する。

【0047】図11に示す高周波IC回路は、第1実施形態との相違点として、図1における周波数変換部108および複素フィルタ部110に代えて、それぞれ周波数変換ブロック580およびシングルミキサ部510を内蔵している以外は図1の高周波IC10と同様に構成されている高周波IC50を備えている。

【0048】周波数変換ブロック580は、ローノイズアンプ101からの信号を入力してI信号とQ信号とに分けて出力するクワドラチャジェネレータ481と、この出力に接続されるバンドパスフィルタ482と、電圧制御発振器103からの第1局部発振周波数信号S103を入力して、バンドパスフィルタ482からの信号を周波数 $f_{IF1}$ の信号にダウンコンバートするミキサ583、584と、これらのいずれかの出力（図では584の出力）の位相を90度ずらすフェイズシフタ585と、このフェイズシフタ585を介してミキサ583、584から得られる両信号を足し合わせて第1中間周波数信号を得る加算部586とにより構成されている。そして、加算部586の出力はバッファアンプ109の入力に接続されている。

【0049】シングルミキサ部510は、バンドパスフィルタ3の出力と接続されるシングルミキサ511と、この出力に接続されるバンドパスフィルタ512と、この出力に接続されるバッファアンプ513と、この出力に接続されるA/D変換部514とにより構成されている。

【0050】つまり、1段目の周波数変換部は、図5の構成と同様、イメージリジエクションミキサ（583、584、585、586）で形成され、この前段に、高周波IC50に内蔵された複素バンドパスフィルタ部（481、482）が配置されている。1段目の周波数変換部からはI信号またはQ信号のみが出力され、バッファアンプ109およびバンドパスフィルタ3を介して2段目の周波数変換部としてのシングルミキサ511に入力

される。この構成では、1段目の周波数変換部の前に外付けされるバンドパスフィルタ2が不要となる上、高周波IC50の内部構成を簡略することができる。

【0051】なお、第5実施形態では、図11の例に示したように、1段目の周波数変換部と2段目の周波数変換部との間に設けられるフィルタは、外付けのバンドパスフィルタ3になっているが、上記各実施形態で説明したように、外付けのバンドパスフィルタに限るものではなく、内蔵のフィルタでも構わない。

【0052】また、上記各実施形態における複素フィルタ部110に代えて、例えば図12に示すリアルバンドパスフィルタ部610を使用する構成でもよい。リアルバンドパスフィルタ部610は、複素フィルタ部110のバンドパスフィルタ113に代えて、図13に示す周波数特性を有する一対のリアルバンドパスフィルタ613a、613bを備えているとともに、A/D変換部116、117の出力に負の周波数を除去するためのデジタルシグナルプロセッサ（DSP）618を備えている以外は複素フィルタ部110と同様に構成されている。このリアルバンドパスフィルタ部610は、複素フィルタ部110と同様に高周波ICに内蔵される。リアルバンドパスフィルタ613a、613bの出力は、それぞれバッファアンプ114、115を介してA/D変換部116、117に入力し、A/D変換された後にデジタルシグナルプロセッサ618で負の周波数が除去される。ここで、負の周波数とは三角関数を複素関数で表現した場合に負の領域に現われる成分のことである。

【0053】あるいは、複素フィルタ部110に代えて、例えば図14に示すリアルローパスフィルタ部710を使用する構成でもよい。リアルローパスフィルタ部710は、複素フィルタ部110のバンドパスフィルタ113に代えて、一対のリアルローパスフィルタ713a、713bを備えているとともに、A/D変換部116、117の出力に負の周波数およびDCを除去するためのデジタルシグナルプロセッサ718を備えている以外は複素フィルタ部110と同様に構成されている。リアルローパスフィルタ713a、713bの出力は、それぞれバッファアンプ114、115を介してA/D変換部116、117に入力し、A/D変換された後にデジタルシグナルプロセッサ718で負の周波数およびDC（0）付近が除去される。

【0054】

【発明の効果】請求項1記載の発明は、1段目の周波数変換部と2段目の周波数変換部とを有する高周波受信用のICの回路であって、2段目の周波数変換部はクワドラチャダウンコンバージョンミキサを形成し、2段目の周波数変換部の後段に設けられる複素フィルタによりなるバンドパスフィルタをICに内蔵し、1段目の周波数変換部と2段目の周波数変換部との間に介設されるバンドパスフィルタをICの外部に設けて成るので、2段目



の周波数変換部のミラー周波数がクアドラチャダウンコンバージョンミキサと複素フィルタとにより理想的に除去され、2段目の周波数変換部で用いる第2局部発振周波数信号の3次高調波により第2中間周波数信号にダウンコンバートされるような信号を減衰させるだけでよく、従来のような急峻な選択性能を必要としないから、1段目の周波数変換部と2段目の周波数変換部との間に介設されるバンドパスフィルタに対して低コストのバンドパスフィルタを使用することができる。また、クアドラチャダウンコンバージョンミキサおよび複素フィルタのミスマッチによって、第2中間周波数信号の付近にダウンコンバートされる周波数を、外付けのバンドパスフィルタで減衰させることができるため、2段目の周波数変換部以降の回路スペックが緩和され、IC化しやすくなる。また、2つの周波数変換部の前後に配置されるフィルタのうちのいくつかを外付け部品とする必要がなく、すなわち2段目の周波数変換部の後段に設けられる複素フィルタによりなるバンドパスフィルタをICに内蔵したから、部品点数を削減することができ、小型・軽量化・組立ての容易化を実現でき、また不要な信号の混入・輻射を抑えることができる。

【0055】請求項2記載の発明は、1段目の周波数変換部と2段目の周波数変換部とを有する高周波受信用のICの回路であって、2段目の周波数変換部はクアドラチャダウンコンバージョンミキサを形成し、2段目の周波数変換部の後段に設けられる複素フィルタによりなるバンドパスフィルタをICに内蔵し、1段目の周波数変換部と2段目の周波数変換部との間に介設されるバンドパスフィルタをICに内蔵して成るので、IC化しやすくなるほか、部品点数をさらに削減して、小型・軽量化・組立ての容易化を実現でき、不要な信号の混入・輻射を抑えることができるという効果がある。

【0056】請求項3記載の発明は、1段目の周波数変換部と2段目の周波数変換部とを有する高周波受信用のICの回路であって、1段目の周波数変換部はイメージリジェクションミキサを形成し、2段目の周波数変換部はクアドラチャダウンコンバージョンミキサを形成するので、イメージリジェクションミキサにより、1段目の周波数変換部において、イメージ周波数が第1中間周波数信号付近にダウンコンバートされてくることを抑圧し、同一の通信性能を実現するのに必要な、外付けのバンドパスフィルタのスペックが緩和される。あるいは、バンドパスフィルタが不要になる。つまり、2つの周波数変換部の前後に配置されるフィルタのうちのいくつかを外付け部品とする必要がなく、ICに内蔵でき、かつIC化しやすくなるほか、部品点数を削減して、小型・軽量化・組立ての容易化を実現でき、不要な信号の混入・輻射を抑えることができるという効果がある。

【0057】請求項4記載の発明は、請求項3記載の高周波IC回路において、1段目の周波数変換部と2段目

の周波数変換部との間に設けられるローパスフィルタをICに内蔵し、2段目の周波数変換部の後段に設けられる複素フィルタによりなるバンドパスフィルタをICに内蔵するので、部品点数をさらに削減することができる。

【0058】請求項5記載の発明は、請求項3記載の高周波IC回路において、1段目の周波数変換部と2段目の周波数変換部との間に介設されるバンドパスフィルタをICの外部または内部に設け、2段目の周波数変換部の後段に設けられる複素フィルタによりなるバンドパスフィルタをICに内蔵するので、2段目の周波数変換部およびその後段のバンドパスフィルタのスペックを緩和して、ICに内蔵しやすくなる。

【0059】請求項6記載の発明は、請求項3記載の高周波IC回路において、1段目の周波数変換部の前段に設けられるコンプレックスフィルタをICに内蔵するので、1段目の周波数変換部の前段に設けられる、IC外部のバンドパスフィルタを不要にできる。

【0060】請求項7記載の発明は、1段目の周波数変換部と2段目の周波数変換部とを有する高周波受信用のICの回路であって、1段目の周波数変換部はイメージリジェクションミキサを形成し、1段目の周波数変換部の前段に設けられる複素フィルタをICに内蔵し、1段目の周波数変換部から同相成分のI信号または直交成分のQ信号のみを出力し、2段目の周波数変換部はシングルミキサの構成にするので、1段目の周波数変換部の前段に設けられる外付けフィルタを不要とし、ICの内部回路の構成を簡略化することができる。つまり、IC化しやすくなるほか、部品点数を削減して、小型・軽量化・組立ての容易化を実現でき、不要な信号の混入・輻射を抑えることができるという効果がある。

【0061】請求項8記載の発明は、請求項1から3のいずれかに記載の高周波IC回路において、2段目の周波数変換部の後段に設けられるフィルタは、2つのリアルバンドパスフィルタよりなるのであり、この構成でも、IC化しやすくなるほか、部品点数を削減して、小型・軽量化・組立ての容易化を実現でき、不要な信号の混入・輻射を抑えることができるという効果がある。

【0062】請求項9記載の発明は、請求項1から3のいずれかに記載の高周波IC回路において、2段目の周波数変換部の後段に設けられるフィルタは、2つのリアルローパスフィルタよりなるので、この構成でも、IC化しやすくなるほか、部品点数を削減して、小型・軽量化・組立ての容易化を実現でき、不要な信号の混入・輻射を抑えることができるという効果がある。

【図面の簡単な説明】

【図1】本発明に係る第1実施形態の高周波IC回路の構成図である。

【図2】図1の高周波IC内に設けられる複素フィルタの周波数特性図である。



【図3】図1における2段目の周波数変換部および複素フィルタの入出力信号の説明図である。

【図4】本発明に係る第2実施形態の高周波IC回路の構成図である。

【図5】本発明に係る第3実施形態の高周波IC回路の構成図である。

【図6】図5の周波数変換ブロックの動作説明図である。

【図7】図5における高周波ICに外付けされたバンドパスフィルタおよび高周波IC内の1段目の周波数変換部に関する入出力信号の説明図である。

【図8】図5の周波数変換ブロックを用いた場合の別の構成例を示す図である。

【図9】図5の周波数変換ブロックを用いた場合の別の構成例を示す図である。

【図10】本発明に係る第4実施形態の高周波IC回路の構成図である。

【図11】本発明に係る第5実施形態の高周波IC回路の構成図である。

【図12】複素フィルタ部に代えてリアルバンドパスフィルタ部を使用した場合の構成例を示す図である。

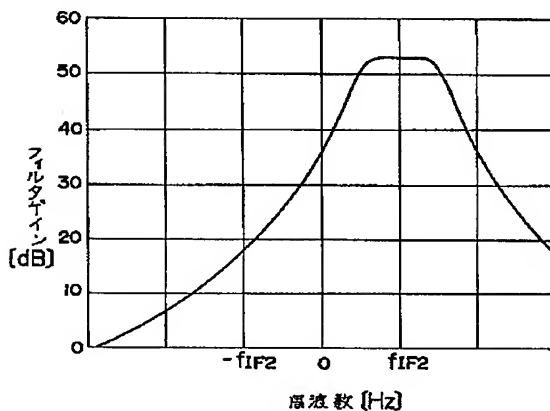
【図13】図12のリアルバンドパスフィルタの周波数特性図である。

【図14】複素フィルタ部に代えてリアルローパスフィルタ部を使用した場合の構成例を示す図である。

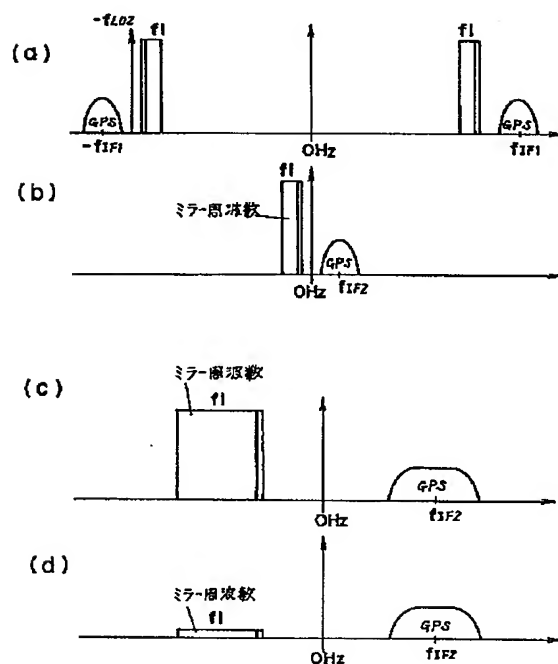
【符号の説明】

- 1 GPSアンテナ
- 2 バンドパスフィルタ
- 3 バンドパスフィルタ
- 10, 20, 30, 30a, 30b, 40, 50 高周波IC
- 101 ローノイズアンプ
- 102 水晶発振器
- 103 電圧制御発振器
- 104 分周器
- 105 分周器
- 106 位相比較器
- 107 ローパスフィルタ
- 108 周波数変換部
- 109, 109a, 109b パッファアンプ
- 110 複素フィルタ部
- 510 シングルミキサ部
- 610 リアルバンドパスフィルタ部
- 710 リアルローパスフィルタ部
- 111, 112 周波数変換部
- 113 バンドパスフィルタ
- 114, 115 パッファアンプ
- 116, 117 A/D変換部
- 230 複素フィルタ部230
- 330 ローパスフィルタ
- 430 バンドパスフィルタ
- 380, 480, 580 周波数変換ブロック

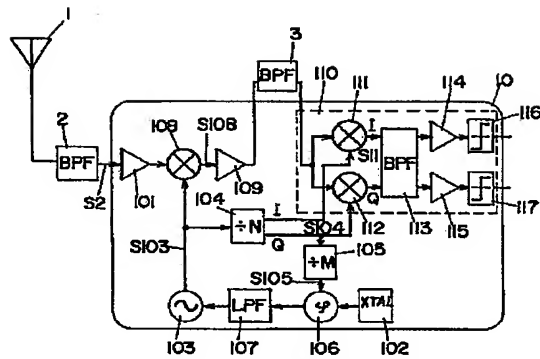
【図2】



【図3】

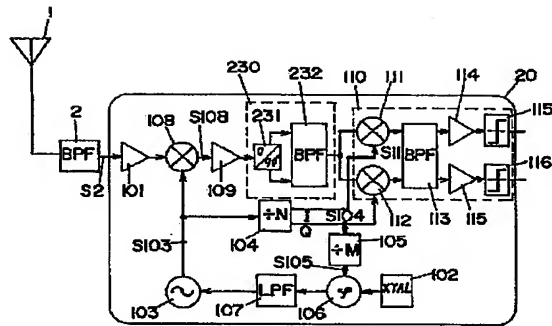


【図1】

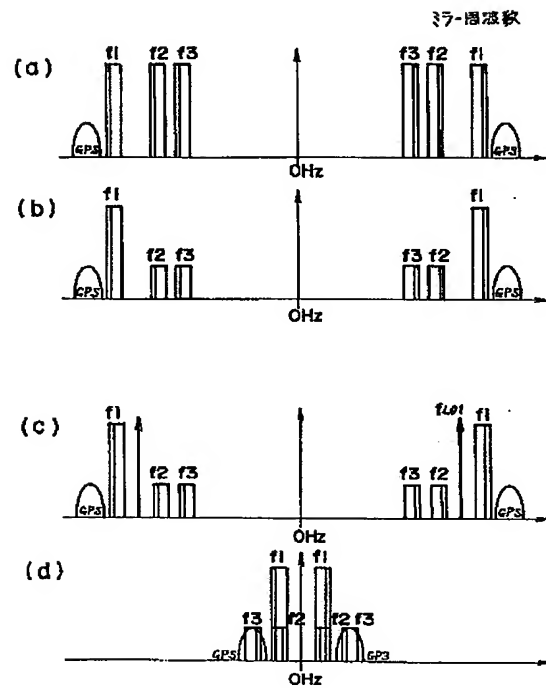


- 1 GPSアンテナ
- 2 バンドパスフィルタ
- 3 バンドパスフィルタ
- 10 高周波IC
- 101 ローノイズアンプ
- 102 水晶発振器
- 103 電圧制御発振器
- 104 分周器
- 105 分周器
- 106 位相比較器
- 107 ローパスフィルタ
- 108 周波数変換部
- 109 バッファアンプ
- 110 複素フィルタ部
- 111, 112 周波数変換部
- 113 バンドパスフィルタ
- 114, 115 バッファアンプ
- 116, 117 A/D変換部

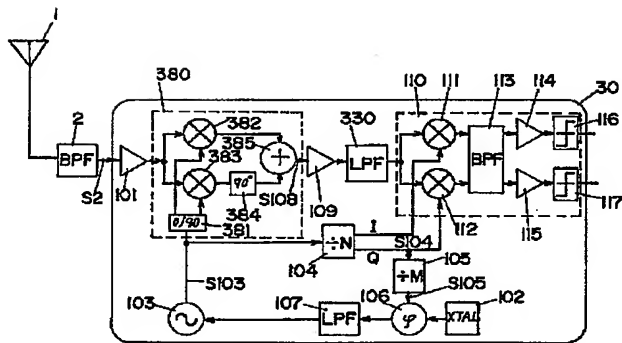
【図4】



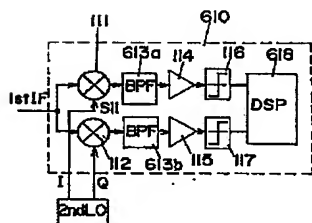
【図7】



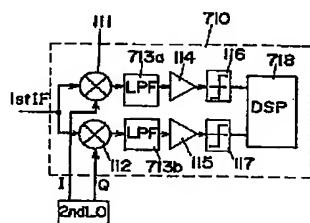
【図5】



【図12】



【図14】





[illegible][illegible]

フロントページの続き

(72)発明者 辻本 豊彦

大阪府門真市大字門真1048番地松下電工株  
式会社内

Fターム(参考) 5K020 DD11 DD15 FF00 FF04 HH00

HH13 MM00

5K052 AA01 BB01 EE04 GG00 GG26